

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-039213

(43)Date of publication of application : 12.02.1999

(51)Int.Cl.

G06F 12/06

G06F 15/78

// G11C 29/00

(21)Application number : 09-191643

(71)Applicant : MITSUBISHI ELECTRIC
CORP
MITSUBISHI DENKI SYST
LSI DESIGN KK

(22)Date of filing :

16.07.1997

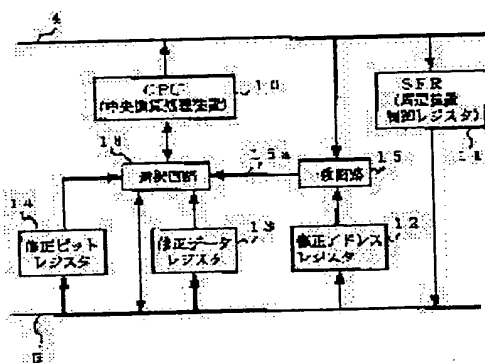
(72)Inventor : UEMIZO JIYUNKO

(54) MICROCOMPUTER

(57)Abstract:

PROBLEM TO BE SOLVED: To facilitate the correction of a program by connecting directly a CPU to a correction data register for a designated correction bit and then connecting directly the CPU to a peripheral device control register for other bits.

SOLUTION: The address of a desired peripheral device control register (SFR) 11 to be corrected is stored in a correction address register 12, the data to be corrected are stored in a correction data register 13, and the data which designate the bit position of the desired SFR 11 to be corrected are stored in a correction bit register 14 respectively. A CPU 10 executes an instruction to read the address of the SFR 11 out of the register 12, and a coincidence detection signal 15a is outputted from a coincidence detection circuit 15. Thus, the switch circuits 180 are controlled by the output signals 17a0 to 17an of the decided AND circuits 170 to



17n. Then the CPU 10 is separated from a data bus 5 and connected to the register 13 only for the bit that is designated by the register 14, and the correction data are sent to the CPU 10.

特開平11-39213

(43) 公開日 平成11年(1999) 2月12日

(51) IntCl. ⁸	識別記号	F I
G 0 6 F 12/06	5 3 0	G 0 6 F 12/06 5 3 0 E
15/78	5 1 0	15/78 5 1 0 K
// G 1 1 C 29/00	6 0 7	G 1 1 C 29/00 6 0 7

審査請求 未請求 請求項の数 2 O L (全 5 頁)

(21) 出願番号 特願平9-191643

(22) 出願日 平成9年(1997) 7月16日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(71) 出願人 391024515

三菱電機システムエル・エス・アイ・デザ
イン株式会社

兵庫県伊丹市中央3丁目1番17号

(72) 発明者 上溝 順子

兵庫県伊丹市中央3丁目1番17号 三菱電
機セミコンダクタソフトウェア株式会社内

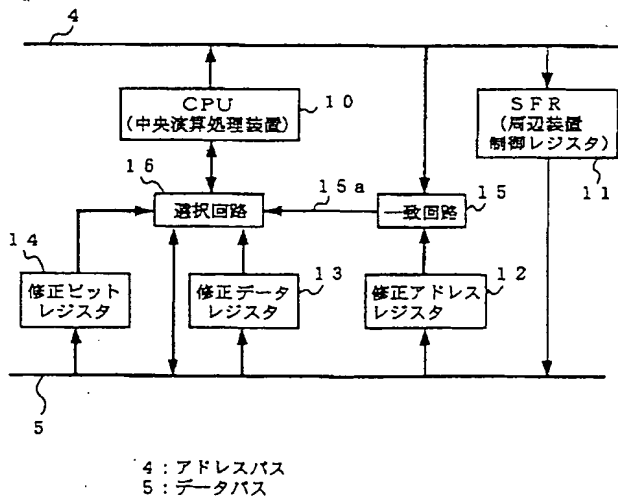
(74) 代理人 弁理士 田澤 博昭 (外1名)

(54) 【発明の名称】 マイクロコンピュータ

(57) 【要約】

【課題】 ROM2のプログラムの不具合をRAM3を用いてプログラムの流れを変更することにより修正するものであり、RAM3のメモリ領域を占有してしまうと共に、プログラム量が増加する。

【解決手段】 CPU10の動作に応じてアドレスバス4から入力されるアドレスと修正アドレスレジスタ12に指定された修正アドレスとが一致した場合に一致検出信号15aを出力する一致回路15と、一致検出信号15aの出力時に、修正ビットレジスタ14に指定された修正ビットについてはCPU10と修正データレジスタ13とを接続し、それ以外のビットはそのCPU10とデータバス5を介してSFR11と接続する選択回路16とを備えた。



【特許請求の範囲】

【請求項 1】 リードオンリメモリに格納されたプログラムに基づいて動作する中央演算処理装置と、その中央演算処理装置にアドレスバスで接続された周辺装置制御レジスタと、その周辺装置制御レジスタの修正アドレスを指定する修正アドレスレジスタと、上記周辺装置制御レジスタの修正データを指定する修正データレジスタと、上記周辺装置制御レジスタの修正ビットを指定する修正ビットレジスタと、上記中央演算処理装置の動作に応じて上記アドレスバスから入力されるアドレスと上記修正アドレスレジスタに指定された修正アドレスとが一致した場合に一致検出信号を出力する一致回路と、その一致回路が一致検出信号を出力している場合に、上記修正ビットレジスタに指定された修正ビットについては上記中央演算処理装置と上記修正データレジスタとを接続し、それ以外のビットはその中央演算処理装置とデータバスを介して上記周辺装置制御レジスタと接続する選択回路とを備えたマイクロコンピュータ。

【請求項 2】 リードオンリメモリに格納されたプログラムに基づいて動作する中央演算処理装置と、その中央演算処理装置にアドレスバスで接続された周辺装置制御レジスタと、その周辺装置制御レジスタの修正アドレスを指定する修正アドレスレジスタと、上記周辺装置制御レジスタの修正データを指定する修正データレジスタと、上記周辺装置制御レジスタの修正ビットを指定する修正ビットレジスタと、上記プログラムの修正命令のアドレスを指定する修正命令アドレスレジスタと、上記中央演算処理装置の動作に応じて上記アドレスバスから入力されるアドレスと上記修正アドレスレジスタに指定された修正アドレスとが一致した場合に一致検出信号を出力し、その一致が終了した場合に一致終了信号を出力する第 1 の一致回路と、上記中央演算処理装置の動作に応じて上記アドレスバスから入力されるアドレスと上記修正命令アドレスレジスタに指定された修正命令のアドレスとが一致した場合に一致検出信号を出力する第 2 の一致回路と、上記第 1 の一致回路および上記第 2 の一致回路が一致検出信号を出力している場合に、上記修正ビットレジスタに指定された修正ビットについては上記中央演算処理装置と上記修正データレジスタとを接続し、それ以外のビットまたはその第 1 の一致回路が一致終了信号を出力した場合に、その中央演算処理装置とデータバスを介して上記周辺装置制御レジスタと接続する選択回路とを備えたマイクロコンピュータ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、プログラム修正機能を有するマイクロコンピュータに関するものである。

【0002】

【従来の技術】 図 4 は例えば特開昭 6 3 - 1 5 6 2 3 1

号公報に示された従来のマイクロコンピュータを示すブロック構成図、図 5 はリードオンリメモリのプログラム変更処理を示す概念図である。図において、1 はプロセッサ、2 はリードオンリメモリ（以下、ROM と言う）、3 はランダムアクセスメモリ（以下、RAM と言う）、4 はアドレスバス、5 はデータバスである。

【0003】 次に動作について説明する。図 4 に示されたマイクロコンピュータは、ROM 2 に格納されたプログラムに応じてプロセッサ 1 が動作し、アドレスバス 4 およびデータバス 5 を介して RAM 3 にデータを格納しながらデータ処理を行うものである。この ROM 2 は、プログラムを製造工程上で焼きつけるマスク ROM により構成されており、そのプログラムに不具合が発見された時、ROM 2 を交換せずに済ますために、RAM 3 を利用する方法がある。

【0004】 図 5 はその方法を示すものであり、ROM 2 に修正を要するプログラムがある場合は、修正プログラムを格納した RAM 3 のアドレス ABC へのジャンプ命令“JMP ABC”を書き込み、RAM 3 の修正プログラムの末尾に ROM 2 の次アドレス DEF へのジャンプ命令“JMP DEF”を書き込めば、プログラムの流れを変更することにより、ROM 2 のプログラムの不具合をマスク ROM の焼きつけ後でも修正することができる。

【0005】

【発明が解決しようとする課題】 従来のマイクロコンピュータは以上のように構成されているので、ROM 2 のプログラムの不具合を RAM 3 を用いてプログラムの流れを変更することにより修正するものであり、RAM 3 のメモリ領域を占有してしまうと共に、プログラムの流れの変更により、プログラム量が増加したり、そのプログラムの処理時間が増加したりするなどの課題があった。

【0006】 この発明は上記のような課題を解決するためになされたもので、内蔵する周辺装置からのデータ読み出し時に発生するプログラムの不具合、例えば、不定ビットの処理等を、ランダムアクセスメモリを使用せず、且つプログラムの流れを変更せずにプログラムの修正を実現するマイクロコンピュータを得ることを目的とする。

【0007】

【課題を解決するための手段】 請求項 1 記載の発明に係るマイクロコンピュータは、周辺装置制御レジスタの修正アドレスを指定する修正アドレスレジスタ、修正データを指定する修正データレジスタおよび修正ビットを指定する修正ビットレジスタと、中央演算処理装置の動作に応じてアドレスバスから入力されるアドレスと修正アドレスレジスタに指定された修正アドレスとが一致した場合に一致検出信号を出力する一致回路と、一致検出信号の出力時に、修正ビットレジスタに指定された修正ビ

ットについては中央演算処理装置と修正データレジスタとを接続し、それ以外のビットはその中央演算処理装置とデータバスを介して周辺装置制御レジスタと接続する選択回路とを備えたものである。

【0008】請求項2記載の発明に係るマイクロコンピュータは、プログラムの修正命令のアドレスを指定する修正命令アドレスレジスタと、中央演算処理装置の動作に応じてアドレスバスから入力されるアドレスと修正アドレスレジスタに指定された修正アドレスとが一致した場合に一致検出信号を出力し、その一致が終了した場合に一致終了信号を出力する第1の一致回路と、中央演算処理装置の動作に応じてアドレスバスから入力されるアドレスと修正命令アドレスレジスタに指定された修正命令のアドレスとが一致した場合に一致検出信号を出力する第2の一致回路と、第1の一致回路および第2の一致回路が一致検出信号の出力時に、修正ビットレジスタに指定された修正ビットについては中央演算処理装置と修正データレジスタとを接続し、それ以外のビットまたは第1の一致回路が一致終了信号の出力時に、中央演算処理装置とデータバスを介して周辺装置制御レジスタと接続する選択回路とを備えたものである。

【0009】

【発明の実施の形態】以下、この発明の実施の一形態を説明する。

実施の形態1. 図1はこの発明の実施の形態1によるマイクロコンピュータを示すブロック構成図であり、図において、4はアドレスバス、5はデータバス、10はリードオンリメモリ（以下、ROMと言う）に格納されたプログラムに基づいて動作するCPU（中央演算処理装置）、11は周辺装置を制御するSFR（周辺装置制御レジスタ）である。12はアドレスバス4と同じビット長を有し、SFR11の修正アドレスを指定する修正アドレスレジスタ、13はデータバス5と同じビット長を有し、SFR11の修正データを指定する修正データレジスタ、14はデータバス5と同じビット長を有し、SFR11の修正ビットを指定する修正ビットレジスタである。

【0010】15はCPU10の動作に応じてアドレスバス4から入力されるアドレスと修正アドレスレジスタ12に指定された修正アドレスとが一致した場合に一致検出信号15aを出力する一致回路、16は一致回路15が一致検出信号15aを出力している場合に、修正ビットレジスタ14に指定された修正ビットについてはCPU10と修正データレジスタ13とを接続し、それ以外のビットはそのCPU10とデータバス5を介してSFR11と接続する選択回路である。

【0011】図2は選択回路の詳細を示す回路図であり、 $17_0 \sim 17_n$ はデータバス5のビット長と同じ数だけ設けられ、一致検出信号15aと修正ビットレジスタ14に指定された各修正ビット（0～n）との論理積

をとるアンド回路、 $17_{a0} \sim 17_{an}$ はそれらアンド回路 $17_0 \sim 17_n$ の出力信号、 $18_0 \sim 18_n$ はそれら出力信号 $17_{a0} \sim 17_{an}$ により各ビット毎にCPU10と修正データレジスタ13とを接続するか、または、CPU10とデータバス5とを接続するかを選択するスイッチ回路である。

【0012】次に動作について説明する。まず、修正アドレスレジスタ12に修正したいSFR11のアドレスを、修正データレジスタ13に修正するデータを、修正ビットレジスタ14に修正したいSFR11のビット位置を指定するデータを格納する。CPU10においてROMに焼き付けられたプログラムを実行中に、修正アドレスレジスタ12に格納したアドレスのSFR11に対して読み出し処理を行う命令を実行すると、一致回路15から一致検出信号15aが出力される。

【0013】その一致検出信号15aと修正ビットレジスタ14の読み出し値によりアンド回路 $17_0 \sim 17_n$ の出力信号 $17_{a0} \sim 17_{an}$ が決定される。それら出力信号 $17_{a0} \sim 17_{an}$ でスイッチ回路 $18_0 \sim 18_n$ を制御し、修正ビットレジスタ14で指定したビットのみCPU10とデータバス5を切り離し、修正データレジスタ13に接続することにより修正データがCPU10へ送られる。ここでのアンド回路 $17_0 \sim 17_n$ とは、一致検出信号15aが出力され、且つ修正ビットレジスタ14でビットの指定がされている時に、CPU10とデータバス5が切り離され、修正データレジスタ13と接続されるという意味である。

【0014】以上のように、この実施の形態1によれば、特定のSFR11に対するビット処理の不具合を修正することにより、RAMを使用せず、且つプログラムの流れを変更せずにプログラムを修正することができる。

【0015】実施の形態2. 図3はこの発明の実施の形態2によるマイクロコンピュータを示すブロック構成図であり、図において、20はデータバス5と同じビット長を有し、CPU10において動作されるプログラム中の修正命令のアドレスを指定する修正命令アドレスレジスタである。21はCPU10の動作に応じてアドレスバス4から入力されるアドレスと修正アドレスレジスタ12に指定された修正アドレスとが一致した場合に一致検出信号21aを出力し、その一致が終了した場合に一致終了信号21bを出力する第1の一致回路、22はCPU10の動作に応じてアドレスバス4から入力されるアドレスと修正命令アドレスレジスタ20に指定された修正命令のアドレスとが一致した場合に一致検出信号22aを出力する第2の一致回路である。

【0016】23は第2の一致回路22の一致検出信号22aによりセットされ、第1の一致回路21の一致終了信号21bによりリセットされるラッチ回路である。24は一致検出信号21aとラッチ回路23の出力との

論理積をとり、一致検出信号 15 a を出力するアンド回路である。図 3 における選択回路 16 は、図 2 に示したものと同様であるが、図 2 中の一致検出信号 15 a は、実施の形態 2 においてはアンド回路 24 の出力、即ち、一致検出信号 21 a が有効となった場合の信号となる。その他の構成は図 1 と同様なので、その重複する説明を省略する。

【0017】次に動作について説明する。実施の形態 1 と同様に修正アドレスレジスタ 12、修正データレジスタ 13 および修正ビットレジスタ 14 にデータを格納し、加えて修正命令アドレスレジスタ 20 に修正したいプログラム中の命令を示すアドレスを格納する。CPU 10 において ROM に焼き付けられたプログラムを実行中に修正命令アドレスレジスタ 20 に格納したアドレスの命令を実行すると、第 2 の一致回路 22 の一致検出信号 22 a の出力によりラッチ回路 23 がセットされ、一致検出信号 21 a が有効となる。

【0018】この時、修正アドレスレジスタ 12 に格納されたアドレスの SFR 11 に対して読み出しの処理を行う命令を実行すると、一致検出信号 21 a が選択回路 16 に対して有効となり、実施の形態 1 と同様の動作を行い修正ビットレジスタ 14 で指定したビットのみ CPU 10 とデータバス 5 を切り離し、修正データレジスタ 13 に接続することにより修正データが CPU 10 へ送られる。修正アドレスレジスタ 12 に格納されたアドレスとアドレスバス 4 のアドレスとの一致が終了すると第 1 の一致回路 21 から一致終了信号 21 b が出力され、ラッチ回路 23 をリセットすることにより、一致検出信号 21 a が無効となる。

【0019】以上のように、この実施の形態 2 によれば、ROM に焼き付けられたプログラム中の任意の命令中の任意の SFR 11 に対するビット処理の不具合を修正することにより、RAM を使用せず、且つプログラムの流れを変更せずにプログラムを修正することができる。

【0020】

【発明の効果】以上のように、請求項 1 記載の発明によれば、中央演算処理装置の動作に応じてアドレスバスから入力されるアドレスと修正アドレスレジスタに指定された修正アドレスとが一致した場合に一致検出信号を出力する一致回路と、一致検出信号の出力時に、修正ビットレジスタに指定された修正ビットについては中央演算処理装置と修正データレジスタとを接続し、それ以外のビットはその中央演算処理装置とデータバスを介して周

辺装置制御レジスタと接続する選択回路とを備えるように構成したので、特定の周辺装置制御レジスタに対するビット処理の不具合を修正することにより、ランダムアクセスメモリを使用せず、且つプログラムの流れを変更せずにプログラムを修正することができる効果がある。

【0021】請求項 2 記載の発明によれば、中央演算処理装置の動作に応じてアドレスバスから入力されるアドレスと修正アドレスレジスタに指定された修正アドレスとが一致した場合に一致検出信号を出力し、その一致が終了した場合に一致終了信号を出力する第 1 の一致回路と、中央演算処理装置の動作に応じてアドレスバスから入力されるアドレスと修正命令アドレスレジスタに指定された修正命令のアドレスとが一致した場合に一致検出信号を出力する第 2 の一致回路と、第 1 の一致回路および第 2 の一致回路が一致検出信号の出力時に、修正ビットレジスタに指定された修正ビットについては中央演算処理装置と修正データレジスタとを接続し、それ以外のビットまたは第 1 の一致回路が一致終了信号の出力時に、中央演算処理装置とデータバスを介して周辺装置制御レジスタと接続する選択回路とを備えるように構成したので、リードオンリメモリに焼き付けられたプログラム中の任意の命令中の任意の周辺装置制御レジスタに対するビット処理の不具合を修正することにより、ランダムアクセスメモリを使用せず、且つプログラムの流れを変更せずにプログラムを修正することができる効果がある。

【図面の簡単な説明】

【図 1】 この発明の実施の形態 1 によるマイクロコンピュータを示すブロック構成図である。

【図 2】 選択回路の詳細を示す回路図である。

【図 3】 この発明の実施の形態 2 によるマイクロコンピュータを示すブロック構成図である。

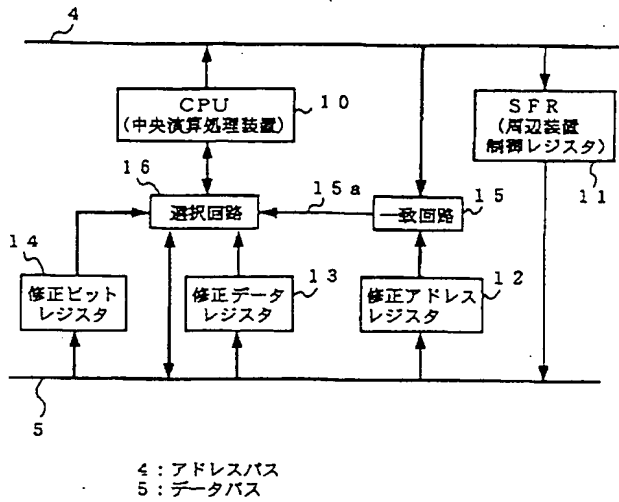
【図 4】 従来のマイクロコンピュータを示すブロック構成図である。

【図 5】 リードオンリメモリのプログラム変更処理を示す概念図である。

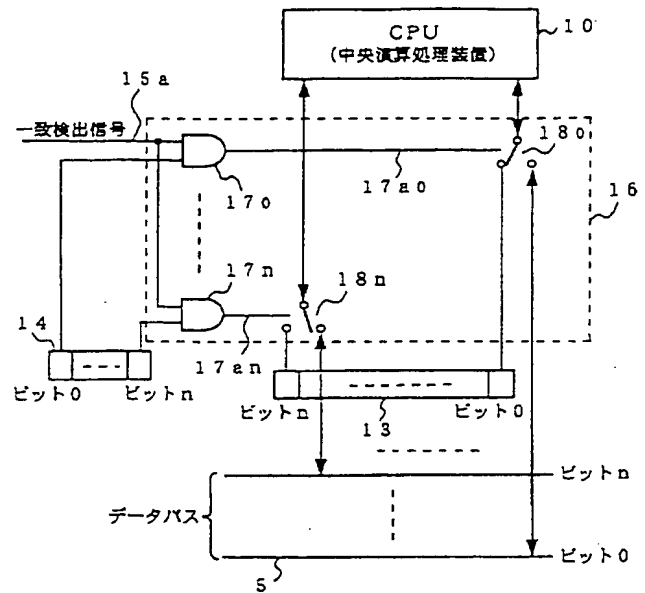
【符号の説明】

4 アドレスバス、5 データバス、10 CPU (中央演算処理装置)、11 SFR (周辺装置制御レジスタ)、12 修正アドレスレジスタ、13 修正データレジスタ、14 修正ビットレジスタ、15 一致回路、16 選択回路、20 修正命令アドレスレジスタ、21 第 1 の一致回路、22 第 2 の一致回路。

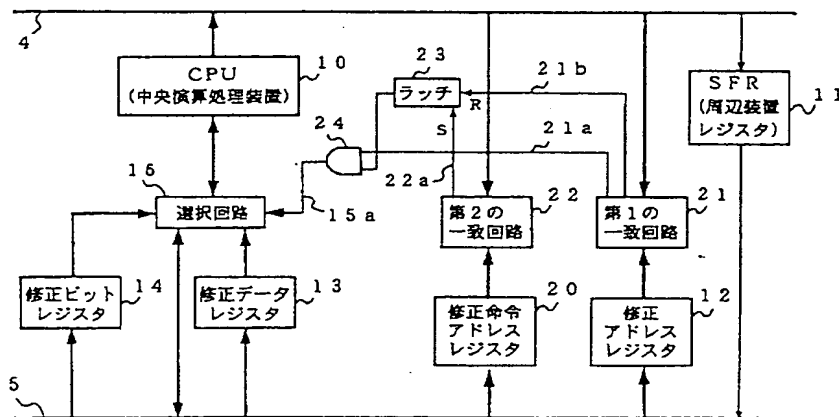
【図 1】



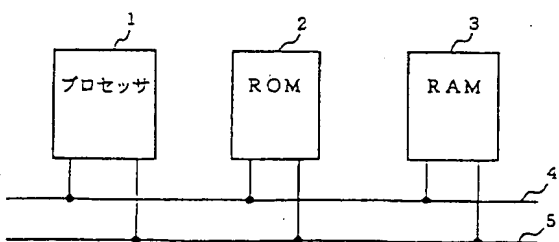
【図 2】



【図 3】



【図 4】



【図 5】

